

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-147426

(43)Date of publication of application : 06.06.1995

(51)Int.Cl.

H01L 31/108

G11C 11/42

H01L 27/15

H01L 29/43

(21)Application number : 05-292318

(71)Applicant : NEC CORP

(22)Date of filing : 24.11.1993

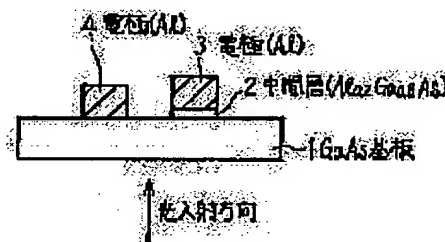
(72)Inventor : FUJIEDA SHINJI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To provide a semiconductor device which has an element that has both light receiving function and storing function by providing an electrode by successively laminating a middle layer formed of a specific compound semiconductor thin film and a metal film on a semiconductor substrate.

CONSTITUTION: An electrode 3 which has a metal/semiconductor structure is formed on a semiconductor substrate 1 as a light receiving and storing element on a semiconductor substrate 1. Then, a compound semiconductor thin film whose stoichiometry ratio is not one, not containing excess element deposition, is inserted between the metal/semiconductor structured electrode 3 and the semiconductor substrate 1 as a middle layer 2. The material of the compound semiconductor to be the middle layer 2 can be the same or different from that of the semiconductor of the substrate 1, and it can be either single crystal or non-single crystal. Thus, a semiconductor device provided with metal/ semiconductor junction that has both light receiving function and storing function is provided.



## LEGAL STATUS

[Date of request for examination] 29.03.1994

[Date of sending the examiner's decision of rejection] 08.04.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平7-147426

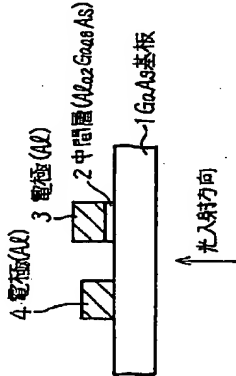
(43)公開日 平成7年(1995)6月6日

| (51)IntCl.    | 類別記号 | 庁内整理番号  | F I           | 技術表示箇所     |
|---------------|------|---------|---------------|------------|
| H 01 L 31/108 |      |         |               |            |
| G 11 C 11/42  | D    |         |               |            |
| H 01 L 27/15  | Z    | 8832-4M | H 01 L 31/ 10 | C          |
|               |      |         | 28/ 46        | H          |
|               |      | 7376-4M |               |            |
|               |      |         | 請求項の數 2       | OL (全 4 頁) |
|               |      |         | 審査請求 有        | 最終頁に続く     |

(21) 出願番号 特願平5-292318  
(22) 出願日 平成5年(1993)11月24日  
(71) 出願人 00004237 日本電気株式会社  
東京都港区芝五丁目7番1号  
藤枝 恒次  
(72) 発明者 東京都港区芝五丁目7番1号 日本電気株  
式会社内  
(74) 代理人 弁理士 京本 直樹 (2名)

(54) 【発明の名称】  
半導体装置

(57) 【要約】  
【目的】受光および記憶機能を同時に持つ素子を有する半導体装置を実現する。  
【構成】GaAs基板1上にAs過剰Al<sub>0.2</sub>Ga<sub>0.8</sub>As薄膜の中間層2を設け、その上にAl<sub>0.2</sub>電極3を設け、更にGaAs基板1上にAl<sub>0.2</sub>電極4を設ける。



【特許請求の範囲】

【請求項1】 半導体基板上に化学組成比が1でなくかつ過剰元素の析出物を含まない化合物半導体薄膜からなる中間層と金属膜を順次覆層して構成される電極を備えていることを特徴とする半導体装置。

【請求項2】 半導体基板上に化学量論比が1でなくかつ過剰元素の析出物を含まない化合物半導体薄膜からなる中間層と絶縁性薄膜と金属膜とを順次積層して形成される電極を備えていることを特徴とする半導体装置。

【発明の詳細な説明】

**[0001]**

【産業上の利用分野】本発明は、半導体装置に関し、特に記憶機能を有する電極の構造に関するものである。

**[0002]**

【従来の技術】光デバイスと電子デバイスを一体化させた半導体装置（OEIC）は、光の持つ特性を利用した並列型信号処理装置として期待されている。OEICでは並列型の光信号を演算処理するには配電網が必要である。すなわち、入力期間中に個々の受光素子へ与えられた信号内容が何らかの形で記憶されたもの、これを読み出すと、演算し電気的な出力を行なう。通常、配電素子は受光素子と別に分けられる。

**[0003]**

【発明が解決しようとする課題】しかしながら、受光素子と配電素子の両方を別々に設けることは、OEICの高集積化には不利である。本発明の目的は、受光と配電の機能を同時に持つ素子を有する半導体装置を提供することにある。

[0004]

【課題を解決するための手段】第1の発明では、受光配向性として、界面、半導体積造の電極を伴い、この元素が析出物を含まない化合物半導体の電極を中間層として用いる。第2の発明では、中間層・金属とを絶縁性半導体と分離する。ここで、中間層となる化合物半導体の材料は、基板半導体よりも異なるとても良い材料品である。単結晶でも非晶結晶でも良い。絶縁性半導体の材料には、SiO<sub>2</sub>、SiN<sub>x</sub>、AlN<sub>x</sub>などの絶縁体、またAl<sub>x</sub>Ga<sub>1-x</sub>As、In<sub>x</sub>Ga<sub>1-x</sub>Pや他の基底抗ワイドバンドギャップ半導体を用いて良く、更に中間層化しても良い。

【0005】第2の発明の構造は、厳密には金属/絶縁膜/半導体 (MIS) 構造に当たる。しかし、中間層内の欠陥準位が金属との直接トンネリングでキャリアの捕獲を行い、放出をせよという金属と中間層を分離することが、 $\text{N}_2$  や  $\text{SiO}_2$  などの  $10^{16} \sim 10^{18} \text{ cm}^{-3}$  といった高い値はか  
ならずとも要求されない。

1900

【作用】 発光ダイオードの材料が化

**【作用】**発光デバイス、特に発光ダイオードの材料としては化合物半導体に限られることから、O E I C の材料には化合物半導体が主に用いられる。第 1 の発明で用いる金属風 / 半導体構造の半導体膜は、化合物半導体で最も容易に作製でき異質性に適当な構造である。本発明の化合物半導体の中間層には、化学量論比ずれによる欠陥が多量に存在する。例えば、Ga 過剰な GaAs 中にはアンチサイトガリウムや空位等多数が存在する。また、逆に Ga 不足な GaAs 中にはアンチサイト砒素やガリウム空孔が多量に存在する。これらの欠陥は、それぞれ特有の電子的準位を持つ。これらの欠陥準位は既して、励起したキャリアを容易に放出し放たないもので、記憶機能を担わせることができる。析出物は再結合速度を高くとるものとす。第 2 の発明では、金属と上記中間層を絶縁性障壁で隔てる。これは、中間層に捕獲されたキャリアが有価効率向上に寄与し、中間層に注入されたキャリアが金属へ熱的に散逸することを防ぐためである。

【0007】本発明の強度の増進で受光・配電動作を要するは、図1、図2に示すように、中間層2とA13あるいは中間層2とSiN、膜5とA13を第1の電極とし、第2の金属(A1)電極4を設けてMMSMダイオード構造を作製する。電極4の材料は電極3の材料と違っていてもよい。第1の電極が如きA13となるよう第1、第2の電極間に電圧を印加しつつ、半導体(GaAs)基板1のバンドギャップよりエネルギーの大きなパルス光(書き込み光)を照射して半導体基板1中にキャリアを発生させ光電流を誘起する。この時、キャリアの一部が中間層2内の障壁に捕らえられる。光照射・電圧印加をやめても、障壁の深さに対応した時間内では捕捉状態が十分保持される。電流の発生が止まれば光を照射して欠陥層からキャリアを引出す必要がなければよく、この時電極間に電圧が生ずる。この放出電荷量は書き込みの有無に対応する。すなわち光入射の有無が受光素子において配電されたの読み出しである。さらに、金属/半導体(電極3と中間層2)接合、あるいは中間層2/SiN、膜5と電極3との接合を有する電極を複数と、電極4を1つ設けることにより、これら個々の接合電極に入力した蓄積電荷の和を電極4での電流値から読みとることができる。すなわち、ある4時間内に個々の配電装置に与えられた入力値の和と実際の入力値の配電装置と可能になる。

**[0008]**

【実施例】次に本発明を図面を用いて説明する。図1は本発明の第1の実施例の断面図である。

【0009】図1において、(100)  $\text{GaAs}$  基板1上に  $\text{As}$  過剰  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  層2、その上に  $\text{As}$  過剰  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  層3を積層する。  $\text{As}$  過剰  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  中間層2は  $\text{Al}$  1からなる電極3を積層する。  $\text{As}$  過剰  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  中間層2は、  $\text{As}/(\text{Ga}+\text{Al})$  原子比を1とする。基板温度は  $200^\circ\text{C}$ 、成長速度を  $0.8 \mu\text{m}/\text{時}$ とするMBE (分子線エピタキシー) 法で成長させ、図2

フロントページの続き

技術表示箇所

FI

識別記号

(5)Int.Cl.<sup>6</sup>

H01L 29/43

特開平7-147426

(3)

を0.5~10nmとする。成長後、表面結晶性向上のためAs<sub>4</sub>を照射しながら450℃で5分間熱処理する。これにより、濃度約10<sup>19</sup>cm<sup>-3</sup>の、伝導帯下0.7~0.9eVのAsアンチサイト欠陥準位を持つ中間層2が形成される。この上に窒素でAl層をMBE成長させたのち、このAl層を通常のリソグラフィにより整型し電極3、4とすればMSMダイオードが得られる。【0010】尚、基板や中間層及び電極を他の材料から構成しても同じ配極機能を有するダイオードを形成することができ、図1を用いて適用例を説明する。

【0011】第1の適用例としては図1において、(1)00 GaAs基板1上にGaAs過剰GaAs薄膜の中間層をAライオン照射法で形成後、その上にTiNからなる電極を積層する。窒素でGaAs基板の表面にArイオンを加速電圧50~100Vで1×10<sup>16</sup>cm<sup>-2</sup>照射し、基板を450℃で5分間熱処理する。これにより、濃度10<sup>18</sup>~10<sup>19</sup>cm<sup>-3</sup>の価電子帯上0.4~0.6eVのGaアンチサイト欠陥準位を持つ、厚さ1~3nmの中間層が形成される。この上に窒素でTiNをスパッタ蒸着させる。TiNをリソグラフィにより整型し電極とすればMSMダイオードが得られる。

【0012】第2の適用例としては図1において、(1)00 InP基板上にGaAs過剰GaAs薄膜の中間層、その上にAlからなる電極を積層する。GaAs過剰GaAs中間層は、As<sub>4</sub>/Gaビーム比を0.5、基板温度を200℃、成長速度を0.8μm/時とするMBE(分子線エビタキシー)法で成長させ、厚さを0.5~5nmとする。成長後、表面結晶性向上のためAs<sub>4</sub>を照射させずに450℃で5分間熱処理する。これにより、濃度約10<sup>19</sup>cm<sup>-3</sup>の、価電子帯上0.4~0.6eVのGaアンチサイト欠陥準位を持つGaAs中間層が形成される。この上に窒素でAlをMBE成長させリソグラフィにより整型し電極とすればMSMダイオード

が得られる。

【0013】図2は本発明の第2の実施例の断面図である。図2において、GaAs基板1上に第1の実施例と同様のAs過剰Al<sub>0.2</sub>Ga<sub>0.8</sub>Asの中間層2を形成後、SiN<sub>x</sub>膜5を厚さ0.5~3nmスパッタ蒸着させ絶縁性薄膜を形成したのち、Alを蒸着する。これを整形して、中間層2AとAl電極3Aが分離された第1の電極を製作したのち、SiN<sub>x</sub>膜5を含まない第2のAl電極4Aを形成する。

【0014】このように第2の実施例では、絶縁性薄膜としてSiN<sub>x</sub>膜5の挿入により、電極3Aを順バIASし電流を光照射により解脱する書き込み過程での中間層2Aから電極3Aへのキャリア注入が阻まれるため、中間層2A内の単位にキャリアが捕捉される割合が増加する。また、書き込み後読み込みまでに生じるキャリア再放出過程のうち、電極3Aへのトンネル過程が阻まれる。したがって、本第2の実施例では第1の実施例にくらべ記憶保持性が改善される。

【0015】

【発明の効果】以上説明したように本発明によれば、受光と配極の機能を同時に持つ金属/半導体接合を有する半導体装置が得られ、OEICの高集積化が可能になるという効果がある。

【図面の簡単な説明】

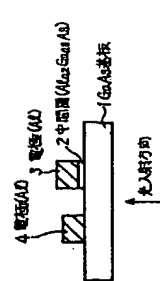
【図1】本発明の第1の実施例の断面図。

【図2】本発明の第2の実施例の断面図。

【符号の説明】

- 1 GaAs基板
- 2, 2A 中間層
- 3, 3A 電極
- 4, 4A 電極
- 5 SiN<sub>x</sub>膜

【図1】



【図2】

